

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 7月24日

出願番号

Application Number:

特願2002-215206

[ST.10/C]:

[JP2002-215206]

出願人

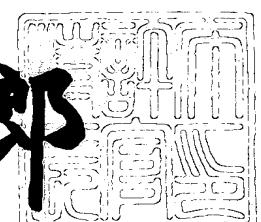
Applicant(s):

エルピーダメモリ株式会社

2003年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047974

【書類名】 特許願

【整理番号】 22310161

【提出日】 平成14年 7月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明者】

【住所又は居所】 東京都中央区八重洲2丁目2番1号 エルピーダメモリ
株式会社内

【氏名】 渡辺 敬行

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 輝之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0111098

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリモジュールの救済方法、メモリモジュール、及び揮発性メモリ

【特許請求の範囲】

【請求項1】 メモリモジュールが備える揮発性メモリ及び不揮発性メモリのうち、電気的試験で不良と判定された前記揮発性メモリを救済するためのメモリモジュールの救済方法であって、

予め、前記不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに前記不良と判定された揮発性メモリを判別するための不良デバイス情報を前記不揮発性メモリへ格納しておき、

前記メモリモジュールが搭載されたシステムの立ち上げ時に、前記不揮発性メモリに格納された前記不良行アドレス、前記不良列アドレス、及び前記不良デバイス情報を前記揮発性メモリへ転送し、

該揮発性メモリで、転送された不良行アドレス、不良列アドレス、及び不良デバイス情報をそれぞれ保持し、

前記揮発性メモリで保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて、前記不良と判定された揮発性メモリのメモリセルに対応するアドレスが入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスするメモリモジュールの救済方法。

【請求項2】 前記揮発性メモリは、
レーザ光で溶断可能な複数のヒューズ素子を備え、
ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を、前記ヒューズ素子で保持することが可能な請求項1記載のメモリモジュールの救済方法。

【請求項3】 電気的試験で不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに前記不良と判定された揮発性メモリを判別するための不良デバイス情報が格納される不揮発性メモリと、

システムの立ち上げ時に転送される、前記不良行アドレス、前記不良列アドレス、及び前記不良デバイス情報を保持し、保持した不良行アドレス、不良列アド

レス、及び不良デバイス情報に基づいて、前記不良と判定された揮発性メモリのメモリセルに対応するアドレス信号が入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスされる揮発性メモリと、
を有するメモリモジュール。

【請求項4】 前記揮発性メモリは、
レーザ光で溶断可能な複数のヒューズ素子を備え、
ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を、前記ヒューズ素子で保持することが可能な請求項3記載のメモリモジュール。

【請求項5】 不良が発生したメモリセルである不良メモリセルに代わってアクセスされる冗長メモリセルを備えた揮発性メモリであって、
外部から転送される不良行アドレス及び不良列アドレスを保持する不良情報格納回路と、

不良デバイス情報が自メモリに対する不良情報であるか否かを判定し、その判定結果を保持するデバイス情報格納回路と、

前記不良情報格納回路に格納された不良行アドレスと外部から供給される行アドレスとを比較する行アドレスコンパレータと、

前記不良情報格納回路に格納された不良列アドレスと外部から供給される列アドレスとを比較する列アドレスコンパレータと、

前記不良行アドレスと前記行アドレスが一致した場合に前記冗長メモリセルに繋がるワード線を活性化させ、該冗長メモリセルへのアクセスを可能にする冗長行デコーダと、

前記不良列アドレスと前記列アドレスが一致した場合に前記冗長メモリセルに繋がるビット線を活性化させ、該冗長メモリセルへのアクセスを可能にする冗長列デコーダと、

を有する揮発性メモリ。

【請求項6】 前記冗長行デコーダ及び前記冗長列デコーダは、
ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を保持する、レーザ光で溶断可能な複数のヒ

ユーズ素子を有する請求項5記載の揮発性メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はD R A MやS R A M等の揮発性メモリとE² P R O M等の書き換え可能な不揮発性メモリとがそれぞれ搭載されたメモリモジュールに関する。

【0002】

【従来の技術】

近年のパーソナルコンピュータやワークステーションサーバコンピュータ等の情報処理装置では、C P Uによる処理の高速化や処理ビット数の増大に伴って主記憶装置の記憶容量も増大し、S I M M (Single Inline Memory Module)、D I M M (Dual Inline Memory Module)、あるいはM C P (Multi Chip Package)等のメモリモジュールが用いられるようになってきた。

【0003】

図8はメモリモジュールの一構成例を示す平面図であり、図9はメモリモジュールの他の構成例を示す側面図である。

【0004】

図8及び図9に示すように、メモリモジュールは、D R A M等の複数の揮発性メモリ1とE² P R O M等の書き換え可能な不揮発性メモリ2とが同一の基板3上に搭載された構成である。なお、図8はS I M M (またはD I M M)の構成例を示し、図9は揮発性メモリ1上に不揮発性メモリ2が積載されたM C Pの構成例を示している。

【0005】

これらのメモリモジュールが有する揮発性メモリ1には、データの書き込み/読み出しを行うアドレス信号A 0～A n (nは正の整数)、揮発性メモリ1を所定の動作モードに設定するための制御信号R A S (Row address strobe command)、C A S (Column address strobe command)、W E (Write enable)、及び活性化するメモリを選択するための制御信号C S (Chip select)が共通に供給される。また、揮発性メモリ1には、入出力データであるD Q信号及びD Q信号

をマスクするためのDQM信号が、各揮発性メモリ1に割り当てられたビットに応じて供給または出力される。なお、バンクは、制御信号CSで選択される、並列にアクセス可能なメモリモジュールのメモリ領域であり、例えば、DIMMの場合は、基板の一方の面に搭載された揮発性メモリ1がバンク0に設定され、他方の面に搭載された揮発性メモリ1がバンク1に設定される。

【0006】

不揮発性メモリ2には、メモリモジュールの構成や種類、特性等の情報が予め格納され、メモリモジュールを備えたシステム（情報処理装置等）でそれらの情報が使用される。

【0007】

次に図8及び図9に示した揮発性メモリ1の構成について図面を用いて説明する。

【0008】

図10は従来の揮発性メモリの構成を示すブロック図であり、図11は図10に示した初期設定レジスタ及びコマンドデコーダの構成を示す回路図である。図12は図10に示した初期設定レジスタ及びコマンドデコーダの動作の様子を示すタイミングチャートである。また、図13は図10に示した冗長行デコーダの構成を示す回路図であり、図14は図10に示した冗長列デコーダの構成を示す回路図である。なお、図10に示す揮発性メモリは従来のSDRAM (Synchronous DRAM) の一構成例を示している。

【0009】

図10に示すように、従来の揮発性メモリ1は、データを格納するための複数のメモリセルMCから構成されるメモリセルアレイ11と、メモリセルMCに格納されたデータを読み出すための複数のセンスアンプ12と、データの書き込み／読み出しを行うメモリセルMCにアクセスするためのアドレス信号ADDをデコードする行デコーダ13及び列デコーダ14と、列デコーダ14のデコード結果にしたがってセンスアンプ12の出力をON／OFFする複数の列スイッチ15と、メモリセルMCに書き込むデータを一時的に保持するデータラッチ回路16と、メモリセルMCから読み出されたデータを一時的に保持する出力ラッチ回

路17と、行デコーダ13に供給する行アドレスを一時的に保持する行アドレスラッチ回路18と、列デコーダに供給する列アドレスを一時的に保持する列アドレスラッチ回路19と、揮発性メモリ1を各種動作モードに設定するために外部から供給される制御コマンドをデコードするコマンドデコーダ20と、アドレス信号ADDを用いて設定される、CASレイテンシー(Latency)、バースト長、及びバーストタイプのモード設定情報を保持する初期設定レジスタ21と、コマンドデコーダ20の出力信号にしたがってメモリセルアレイ11に対するデータの書き込み動作及びメモリセルアレイからのデータの読み出し動作を制御する制御回路22と、外部から供給されるデータを受信し、データラッチ回路16へ供給するデータ入力バッファ回路23と、出力ラッチ回路17から出力されたデータを外部へ送出するデータ出力バッファ回路24とを有する構成である。

【0010】

メモリセルアレイ11は、通常使用されるメモリセル領域である正規メモリセル領域111に加えて、正規メモリセル領域111のメモリセルに不良が発生した場合に置き換えるための冗長メモリセルが形成された冗長行メモリセル領域112及び冗長列メモリセル領域113を備えた構成である。

【0011】

また、行デコーダ13は、上記正規メモリセル領域111及び冗長行メモリセル領域112に対応させて、正規行デコーダ131及び冗長行デコーダ132を備え、列デコーダ14は、上記正規メモリセル領域111及び冗長列メモリセル領域113に対応させて、正規列デコーダ141及び冗長列デコーダ142を備えている。さらに、列スイッチ15は、上記正規メモリセル領域111及び冗長列メモリセル領域113に対応させて、正規列スイッチ151及び冗長列スイッチ152を備えている。

【0012】

図11に示すように、初期設定レジスタ21は、アドレス信号A0～Anをビット毎に保持するn個のアドレスラッチ回路210₁～210_nと、制御信号/RAS, /CAS, /WE, /CSをそれぞれ保持する複数のモードラッチ回路211とを備え、外部から供給されるクロックCLKに同期してラッチ信号IA0

～IA_n，IA₀B～IA_nB、並びに制御信号／RAS，／CAS，／WE，／CS及びそれらの反転信号を出力する構成である。なお、図11ではモードラッチ回路211が1つだけ記載されているが、実際には制御信号／RAS，／CAS，／WE，／CSに対応してそれぞれ設けられている。

【0013】

コマンドデコーダ20は、アドレスラッチ回路210₁～210_nから出力されるラッチ信号IA₀～IA_n，IA₀B～IA_nBのうち、上記モード設定情報として用いるラッチ信号IA₀～IA_m，IA₀B～IA_mB（mは正の整数：m<n）をデコードし、CASレイテンシー、バースト長、及びバーストタイプのモード設定結果を出力するレイテンシー設定デコーダ201、バースト長設定デコーダ202、及びバーストタイプ設定デコーダ203と、モードラッチ回路211から出力される制御信号／RAS，／CAS，／WE，／CSをデコードし、モードレジスタ活性信号MRSを出力するモードレジスタ設定デコーダ204と、外部から供給されるクロック信号CLKを所定時間だけ遅延させる遅延回路205と、モードレジスタ活性信号MRSと遅延回路205から出力されたクロック信号の論理積を出力する論理積ゲート206と、論理積ゲート206から出力されるタイミングクロックに同期してレイテンシー設定デコーダ201、バースト長設定デコーダ202、及びバーストタイプ設定デコーダ203の出力信号を保持するモードラッチ回路207₁～207₃とを有する構成である。

【0014】

図11に示した初期設定レジスタ21及びコマンドデコーダ20は、アドレス信号A₀～A_mを用いて設定されるCASレイテンシー、バースト長、及びバーストタイプのデータをそれぞれ保持するモードレジスタとして機能する。なお、レイテンシー設定デコーダ201、バースト長設定デコーダ202、及びバーストタイプ設定デコーダ203は、アドレス信号A_{m+1}が“0”的とき、デコード結果をそれぞれ出力する。モードラッチ回路207₁～207₃から出力されるレイテンシー信号、バースト長信号、及びバーストタイプ信号は、次のモードレジスタ活性信号MRSが出力されるまで、すなわち次のモード設定が実行されるまで保持される。

【0015】

図12に示すように、上述したモードレジスタ設定時、制御信号／RAS, /CAS, /WE, /CSと、ラッチ信号IA0～IAm+1, IA0B～IAm+1Bとは、それぞれクロックCLKの立ち上がりに同期して揮発性メモリ1を取り込まれ（アドレスラッチ回路210₁～210_nで保持され）、モードラッチ回路207₁～207₃に入力されるタイミングクロックの立ち上がりに同期してモードレジスタに書き込まれる。

【0016】

上述したように、アドレス信号A0～Amは、CASレイテンシー、バースト長、及びバーストタイプの設定に用いられ、アドレス信号Am+1はモードレジスタの設定時に“0”に設定される。

【0017】

図13に示すように、冗長行デコーダ132は、行アドレスラッチ回路18から出力される内部行アドレス信号ALX0～ALXm, ALX0B～ALXmBによりon/offが制御される、ドレイン及びソースがそれぞれ共通に接続された冗長行デコータランジスタ133₀～133_{2m}と、制御回路22から送出されるプリチャージ信号Pxrdによりon/offが制御される、冗長行デコータランジスタ133₀～133_{2m}のドレインにそれぞれ電源電圧VDDを供給するプリチャージトランジスタ134と、プリチャージトランジスタ134の出力信号と制御回路22から送出される冗長ワード線を選択するための選択信号RWEの論理積を出力する論理積ゲート135とを有する構成である。

【0018】

冗長行デコータランジスタ133₀～133_{2m}のソースはそれぞれ接地され、ドレインとノードN1間には、レーザ光によって切断可能なヒューズ素子136₀～136_{2m}がそれぞれ設けられている。

【0019】

ヒューズ素子136₀～136_{2m}は、ウエハ製造後の試験で不良と判定されたメモリセルの行アドレスに基づいてレーザ光により溶断される。例えば、行アドレスの最下位ビットが“1”、他のビットが全て“0”的メモリセルで不良が発

生した場合は、内部行アドレス信号ALX0、ALX0B～ALXmBが入力される冗長行デコーダトランジスタ133のドレインに設けられたヒューズ素子136が全て切斷される。また、行アドレスの最下位ビットが“0”、他のビットが全て“1”的メモリセルで不良が発生した場合は、内部行アドレス信号ALX0B、ALX0～ALXmが入力される冗長行デコーダトランジスタ133のドレインに設けられたヒューズ素子136が全て切斷される。

【0020】

このようなレーザ光で溶断可能な複数のヒューズ素子を用い、レーザトリミング処理によって冗長メモリセルへアクセスするための情報を保持することで、不良と判定されたメモリセルに対応する行アドレス信号A0～Amが入力された場合は、冗長行デコーダトランジスタ133とプリチャージトランジスタ134の接続ノードN1が“High”(VDD)となるため、論理積ゲート135の出力信号RWL1が活性化される。論理積ゲート135の出力線は冗長行メモリセル領域112のワード線であるため、不良と判定されたメモリセルのアドレスが入力されると、該メモリセルに代わって冗長行メモリセル領域112の活性化されたワード線RWL1に繋がるメモリセルにアクセスされる。

【0021】

なお、冗長行デコーダ132は、図13に示した冗長行デコーダトランジスタ $133_0 \sim 133_{2m}$ 、プリチャージトランジスタ134、及び論理積ゲート135を複数組備え、不良メモリセルが複数個在る場合は、それぞれのアドレスに対応する組毎にレーザトリミング処理が実施される。

【0022】

図14に示すように、従来の冗長列デコーダ142は、図13に示した冗長行デコーダ132と同様の構成であり、列アドレスラッチ回路19から出力される内部列アドレス信号ALY0～ALYm、ALY0B～ALYmBによりon/offが制御される、ドレイン及びソースがそれぞれ共通に接続された冗長列デコーダトランジスタ $143_0 \sim 143_{2m}$ と、制御回路22から送出されるプリチャージ信号Pyrdによりon/offが制御される、冗長列デコーダトランジスタ $143_0 \sim 143_{2m}$ のドレインにそれぞれ電源電圧VDDを供給するプリチ

ヤージトランジスタ144と、プリチャージトランジスタ144の出力信号と制御回路22から送出される冗長ビット線を選択するための選択信号RYEの論理積を出力する論理積ゲート145とを有する構成である。冗長列デコーダトランジスタ143₀～143_{2m}のソースはそれぞれ接地され、ドレインとノードN2間にはレーザ光によって切断可能なヒューズ素子146₀～146_{2m}がそれぞれ設けられている。

【0023】

ヒューズ素子146₀～146_{2m}は、冗長行デコーダ132と同様にウエハ製造後の試験で不良と判定されたメモリセルの行アドレスに基づいてレーザ光により溶断される。

【0024】

その他のメモリセルアレイ11、センスアンプ12、正規行デコーダ回路131、正規列デコーダ回路141、列スイッチ15、データラッチ回路16、出力ラッチ回路17、行アドレスラッチ回路18、列アドレスラッチ回路19、制御回路22、データ入力バッファ回路23、及びデータ出力バッファ回路24の構成は、本発明と直接関係しないため、その詳細な説明は省略する。これらの回路は、所定の機能を満たす構成であれば、周知のどのような構成を採用してもよい。

【0025】

また、不揮発性メモリ2は、書き換え可能な、例えばE²PR0Mであれば、周知のどのような構成であってもよい。

【0026】

次に、上記構成のメモリモジュールの従来の製造手順について図面を用いて説明する。

【0027】

図15はメモリモジュールの一般的な製造手順を示すフローチャートであり、図16は図15に示した従来のメモリモジュールの電気的試験の処理手順を示すフローチャートである。

【0028】

図15に示すように、メモリモジュールの製造工程では、まず、揮発性メモリ1のウエハ製造が終了した段階でメモリセルアレイ11の検査を行い、不良が発生したメモリセルを特定する（ステップS1）。

【0029】

次に、上述したレーザトリミング処理により不良が発生したメモリセルから冗長メモリセルへ置き換えるための不良救済処理を実行し（ステップS2）、ウエハの検査を再度実施してメモリセルアレイ11の良／不良を判定する（ステップS3）。

【0030】

続いて、検査で良品と判定されたウエハをモールドパッケージ内に収容して、揮発性メモリ1を組み立てる（ステップS4）。

【0031】

次に、組み立てた揮発性メモリ1に対して第1の電気的試験を実施し、揮発性メモリ1の単体としての性能を確認する（ステップS5）。

【0032】

次に、所定の条件でバーンイン試験を実施した後（ステップS6）、揮発性メモリ1に対して第2の電気的試験を実施し（ステップS7）、バーンイン試験終了後の性能を確認する。この第2の電気的試験で不良が発見されない場合に単体の揮発性メモリ1が完成する（ステップS8）。

【0033】

次に、完成した単体の揮発性メモリ1、及び同様工程で製造された不揮発性メモリ2をメモリモジュールの製造工程へ投入し（ステップS9）、揮発性メモリ1及び不揮発性メモリ2をメモリモジュールの基板3上にそれぞれ搭載する（ステップS10）。

【0034】

続いて、上記揮発性メモリ1及び不揮発性メモリ2をそれぞれメモリモジュールの基板3上に固定し、はんだリフロー工程により基板3上に形成された回路パターンと、揮発性メモリ1及び不揮発性メモリ2の外部端子とをはんだ付けする（ステップS11）。

【0035】

最後に、メモリモジュールの電気的試験を実施し（ステップS12）、不良が発見されない場合にメモリモジュールが完成する（ステップS13）。

【0036】

図16に示すように、メモリモジュールの電気的試験では、最初にメモリモジュールの基板上に搭載された不揮発性メモリ（E²ROM）に対して所定のデータを書き込み、書き込んだデータを読み出してその内容を検証する（ステップS21）。

【0037】

次に、同一基板上に搭載された複数の揮発性メモリの試験を不揮発性メモリと同様の手順で実施する（ステップS22）。

【0038】

そして、試験の結果から不良があるか否かを確認し（ステップS23）、不良が発見されない場合（パス）は、メモリモジュールが完成する。また、不良が発見された場合は、不良の揮発性メモリを新しい揮発性メモリに交換（リペア）し（ステップS24）、ステップS22の処理に戻ってメモリモジュールに搭載された揮発性メモリの電気的試験を再度実施する。

【0039】

【発明が解決しようとする課題】

上述したように、従来のメモリモジュールの製造工程では、ウエハの製造が終了した段階で検査を実施して不良のメモリセルを特定し、予め同一のウエハ上に形成した冗長メモリセルに置き換えることで不良メモリを救済する処置が施されている。

【0040】

しかしながら、近年の揮発性メモリや不揮発性メモリ等では、そのメモリセルの微細化に伴って歩留りがますます悪化している。また、メモリの組み立て後に実施されるバーンイン試験で印加されるストレスにより不良となる割合も増加している。さらに、複数の揮発性メモリや不揮発性メモリが同一基板上に搭載されるメモリモジュールの歩留りも搭載個数の増加に伴って悪化し、メモリ単体の電

気的試験で良品と判定された製品でも、モジュール化のためのはんだリフロー工程で印加される熱ストレスで不良に至ってしまうものも少なくない。

【0041】

メモリ単体の電気的試験、あるいはメモリモジュールの電気的試験で不良と判定された半導体メモリは基本的に廃棄するしかなく、特にメモリモジュールの電気的試験で不良と判定された場合は、不良メモリから新しいメモリへの交換を手作業で実施するため、作業時間が長くなつてメモリモジュールのコストを上昇させる要因となつていた。

【0042】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、メモリモジュールの電気的試験で不良と判定された場合でも、不良の揮発性メモリを交換することなく不良メモリセルの救済が可能なメモリモジュールの救済方法及びメモリモジュールを提供することを目的とする。

【0043】

【課題を解決するための手段】

上記目的を達成するため本発明のメモリモジュールの救済方法は、メモリモジュールが備える揮発性メモリ及び不揮発性メモリのうち、電気的試験で不良と判定された前記揮発性メモリを救済するためのメモリモジュールの救済方法であつて、

予め、前記不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに前記不良と判定された揮発性メモリを判別するための不良デバイス情報を前記不揮発性メモリへ格納しておき、

前記メモリモジュールが搭載されたシステムの立ち上げ時に、前記不揮発性メモリに格納された前記不良行アドレス、前記不良列アドレス、及び前記不良デバイス情報を前記揮発性メモリへ転送し、

該揮発性メモリで、転送された不良行アドレス、不良列アドレス、及び不良デバイス情報をそれぞれ保持し、

前記揮発性メモリで保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて、前記不良と判定された揮発性メモリのメモリセルに対応す

るアドレスが入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスする救済方法である。

【0044】

このとき、前記揮発性メモリは、
レーザ光で溶断可能な複数のヒューズ素子を備え、
ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を、前記ヒューズ素子で保持するのが一般的である。

【0045】

一方、本発明のメモリモジュールは、電気的試験で不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに前記不良と判定された揮発性メモリを判別するための不良デバイス情報が格納される不揮発性メモリと、

システムの立ち上げ時に転送される、前記不良行アドレス、前記不良列アドレス、及び前記不良デバイス情報を保持し、保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて、前記不良と判定された揮発性メモリのメモリセルに対応するアドレス信号が入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスされる揮発性メモリと、
を有する構成である。

【0046】

このとき、前記揮発性メモリは、
レーザ光で溶断可能な複数のヒューズ素子を備え、
ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を、前記ヒューズ素子で保持することが可能な構成が一般的である。

【0047】

また、本発明の揮発性メモリは、不良が発生したメモリセルである不良メモリセルに代わってアクセスされる冗長メモリセルを備えた揮発性メモリであって、外部から転送される不良行アドレス及び不良列アドレスを保持する不良情報格

納回路と、

不良デバイス情報が自メモリに対する不良情報であるか否かを判定し、その判定結果を保持するデバイス情報格納回路と、

前記不良情報格納回路に格納された不良行アドレスと外部から供給される行アドレスとを比較する行アドレスコンパレータと、

前記不良情報格納回路に格納された不良列アドレスと外部から供給される列アドレスとを比較する列アドレスコンパレータと、

前記不良行アドレスと前記行アドレスが一致した場合に前記冗長メモリセルに繋がるワード線を活性化させ、該冗長メモリセルへのアクセスを可能にする冗長行デコーダと、

前記不良列アドレスと前記列アドレスが一致した場合に前記冗長メモリセルに繋がるビット線を活性化させ、該冗長メモリセルへのアクセスを可能にする冗長列デコーダと、

を有する構成である。

【0048】

このとき、前記冗長行デコーダ及び前記冗長列デコーダは、
ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を保持する、レーザ光で溶断可能な複数のヒューズ素子も有する構成が一般的である。

【0049】

上記のようなメモリモジュールの救済方法、メモリモジュール及び揮発性メモリでは、電気的試験で不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに不良と判定された揮発性メモリを判別するための不良デバイス情報を不揮発性メモリへ格納しておき、メモリモジュールが搭載されたシステムの立ち上げ時に、不揮発性メモリに格納された不良行アドレス、不良列アドレス、及び不良デバイス情報を揮発性メモリへ転送し、該揮発性メモリで、転送された不良行アドレス、不良列アドレス、及び不良デバイス情報をそれぞれ保持し、揮発性メモリで保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて、不良と判定された揮発性メモリのメモリ

セルに対応するアドレスが入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスすることで、メモリモジュールの電気的試験で揮発性メモリのメモリセルに不良が発見されても、その不良メモリセルを救済することが可能になる。

【0050】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【0051】

本発明では、メモリモジュールの電気的試験で不良が検出された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス（以下、不良行アドレス及び不良列アドレスをまとめて不良アドレス情報と称す場合がある）を同じメモリモジュールに搭載された不揮発性メモリへ格納する。また、メモリモジュールの電気的試験で不良が検出された揮発性メモリを判別するための不良デバイス情報を不揮発性メモリへ格納する。

【0052】

揮発性メモリは、システムの立ち上げ時に、不揮発性メモリからシステムが備えるメモリ制御回路を介して転送される不良アドレス情報を保持するための不良情報格納回路と、不良アドレス情報が自メモリに対する情報であるか否かを不良情報格納回路と、不良アドレス情報が自メモリに対する情報であるか否かを不良デバイス情報から判定し、その結果を保持するデバイス情報格納回路とを備え、該不良情報格納回路及びデバイス情報格納回路に保持された情報に基づいて、不良が発生したメモリセル（不良メモリセル）に対応するアドレス信号が入力された場合は正規メモリセルから冗長メモリセルへアクセスを切り換える。このことにより、メモリモジュールの電気的試験で不良と判定された揮発性メモリを救済する。

【0053】

メモリ制御回路は、不揮発性メモリから読み出した不良アドレス情報及び不良デバイス情報をメモリモジュールのDQM端子及びアドレス端子を介して揮発性メモリへ転送する。

【0054】

図1は本発明のメモリモジュールに搭載される揮発性メモリの一構成例を示すブロック図であり、図2は図1に示した揮発性メモリに格納される不良デバイス情報及び不良アドレス情報のビット配列を示す模式図である。図3は図1に示した不良情報格納回路及びデバイス情報格納回路の一構成例を示す回路図であり、図4は図1に示した揮発性メモリに対する不良デバイス情報及び不良アドレス情報の格納タイミングを示すフローチャートである。また、図5は図1に示した行アドレスコンパレータ及び冗長行デコーダの一構成例を示す回路図であり、図6は図1に示した列アドレスコンパレータ及び冗長列デコーダの一構成例を示す回路図である。

【0055】

図1に示すように、本発明の揮発性メモリは、図10に示した従来の揮発性メモリの構成に加えて、不良アドレス情報を保持する不良情報格納回路25と、不良アドレス情報が自メモリに対する情報であるか否かを不良デバイス情報から判定し、その判定結果を保持するデバイス情報格納回路26と、不良情報格納回路25に格納された不良行アドレスRX0～RXm, RX0B～RXmBと行アドレスラッチ回路から供給される内部行アドレスALX0～ALXm, ALX0B～ALXmBを比較する行アドレスコンパレータ27と、不良情報格納回路25に格納された不良列アドレスRY0～RYm, RY0B～RYmBと列アドレスラッチ回路から供給される内部列アドレスALY0～ALYm, ALY0B～ALYmBを比較する列アドレスコンパレータ28とを有する構成である。

【0056】

図2に示すように、本実施形態では、アドレス信号A0～Anのうち、ビットA0～Amを用いて、不良デバイス情報及び不良アドレス情報を不揮発性メモリから揮発性メモリへ転送する。また、ビットAm+1～Am+3を用いて、ビットA0～Amが不良デバイス情報であるか、不良行(X)アドレスであるか、不良列(Y)アドレスであるかを判定する。なお、ビットAm+1は、通常のモードレジスタの設定時には「0」に設定するため、本発明の適用時では「1」に設定することで他のモードレジスタ設定時と区別する。

【0057】

具体的には、ビット A_{m+3} 、 A_{m+2} 、 A_{m+1} が「001」のとき、ビット $A_0 \sim A_m$ を用いて不良デバイス情報が転送され、ビット A_{m+3} 、 A_{m+2} 、 A_{m+1} が「011」のとき、ビット $A_0 \sim A_m$ を用いて不良行 (X) アドレスが転送され、ビット A_{m+3} 、 A_{m+2} 、 A_{m+1} が「101」のとき、ビット $A_0 \sim A_m$ を用いて不良列 (Y) アドレスが転送されるものとする。

【0058】

また、本実施形態では、不良デバイス情報として、ビット A_m を用いて不良救済番号を転送し、ビット A_{m-1} を用いてモジュールバンク情報を転送する。不良救済番号は、不揮発メモリ内に2つの不良メモリセルが在る場合に、それらを識別するための情報であり、モジュールバンク情報は制御信号／CSで選択されるメモリモジュールのバンクを示す情報である。すなわち、モジュールバンク情報は制御信号／CSに一致する。

【0059】

さらに、不良デバイス情報には、不良デバイスであるか否かを揮発性メモリで認識するためのDQM信号が含まれる。DQM信号は、本来、DQ信号をマスクするための信号であるが、不揮発性メモリから不良デバイス情報を転送する際に、システムが備えるメモリ制御回路により不良デバイスであるか否かの情報をDQM信号に対応させることで不良デバイス情報に変換される。

【0060】

図3に示すように、デバイス情報格納回路26は、制御信号／CSをクロックCLKに同期して保持するラッチ回路261と、不良デバイスであるか否かを認識するためのDQM信号をクロックCLKに同期して保持するラッチ回路262と、制御信号／CSとラッチ信号 $I_{A_{m-1}}$ との論理積を出力する論理積ゲート263と、ラッチ信号 I_{A_m} を受信するバッファ回路264と、バッファ回路264の出力信号と論理積ゲート263の出力信号の論理積を出力する論理積ゲート265と、不良情報格納回路25から供給されるタイミングクロックに同期して論理積ゲート265から受信した信号をDSL信号として出力するフリップフロップから成るデバイス情報格納レジスタ266とを有する構成である。

【0061】

なお、図3に示したデバイス情報格納回路26は、1つの不良メモリセルを救済するために用いる回路例であり、例えば、不良メモリセルがもう一つ在る場合は、図3に示したデバイス情報格納回路26に、ラッチ信号IAmBを受信するバッファ回路を追加し、該バッファ回路の出力信号を論理積ゲート265に入力する。このことによりDSL信号を用いて2つの不良メモリセルの救済が可能になる。

【0062】

一方、不良情報格納回路25は、ラッチ信号IAm+1～IAm+3, IAm2B, IAm3Bをデコードし、ビットA0～Amが不良デバイス情報であるか、不良行(X)アドレスであるか、不良列(Y)アドレスであるかを判別するためのデコード結果を出力する論理積ゲート251～253と、外部から供給されるクロック信号CLKを所定時間だけ遅延させる遅延回路254と、ビットA0～Amを用いて供給された不良行アドレスをラッチする複数のフリップフロップから成る不良行アドレス格納レジスタ258と、ビットA0～Amを用いて供給された不良列アドレスをラッチする複数のフリップフロップから成る不良列アドレス格納レジスタ259と、論理積ゲート251～253の出力信号と遅延回路254の出力信号の論理積を出力し、デバイス情報格納レジスタ266、不良行アドレス格納レジスタ258、不良列アドレス格納レジスタ259に情報を保持させるためのタイミングクロックを供給する論理積ゲート255～257とを有する構成である。なお、ラッチ信号IA0～IAm, IAm-2～IAm, IAm+1～IAm+3, IAm2B, IAm3Bは、アドレス信号A0～Am+3のラッチ出力であり、図1に示した初期設定レジスタが備えるアドレスラッチ回路から供給される。

【0063】

図4に示すように、制御信号/RAS, /CAS, /WE, /CSは、それぞれクロックCLKの立ち上がりに同期して揮発性メモリに取り込まれ、上述した不良デバイス情報、不良行アドレス、不良列アドレスの順に不揮発性メモリから揮発性メモリへ転送され、デバイス情報格納回路26及び不良情報格納回路25に格納される。このとき、不良デバイス情報は、システムが備えたメモリ制御回

路を介して揮発性メモリのDQM端子及びアドレス端子から取り込まれ、不良アドレス情報は、システムが備えたメモリ制御回路を介して揮発性メモリのアドレス端子から取り込まれる。

【0064】

図5に示すように、行アドレスコンパレータ27は、行アドレスラッチ回路から出力される内部行アドレス信号ALX0～ALXm, ALX0B～ALXmBと、不良情報格納回路25に格納された不良行アドレス信号RX0～RXm, RX0B～RXmBの排他的論理和をビット毎に出力するEXORゲート2710～2712mを備えた構成である。

【0065】

本実施形態の冗長行デコーダ29は、従来の冗長行デコーダの構成に加えて、図5に示したEXORゲート2710～2712mの出力信号によりon/offが制御される、ドレイン及びソースがそれぞれ共通に接続された冗長行デコーダトランジスタ2720～2722mと、制御回路から送出されるプリチャージ信号Pxrdによりon/offが制御される、冗長行デコーダトランジスタ2720～2722mのドレインにそれぞれ電源電圧VDDを供給するプリチャージトランジスタ273と、プリチャージトランジスタ273の出力信号及びデバイス情報格納回路26から出力されるDSL信号の論理積を出力する論理積ゲート274とを有する構成である。なお、冗長行デコーダトランジスタ2720～2722mのソースはそれぞれ接地されている。

【0066】

このような構成では、不良と判定されたメモリセルに対応する行アドレス信号A0～Amが入力されると、行アドレスコンパレータ27が有するEXORゲート2710～2712mから“Low”が出力され、冗長行デコーダトランジスタ2720～2722mがそれぞれon/offして、冗長行デコーダトランジスタ272とプリチャージトランジスタ273の接続ノードN1が“High”(VDD)になるため、論理積ゲート274の出力信号RWL2が活性化される。論理積ゲート274の出力線は冗長行メモリセル領域のワード線であるため、不良と判定されたメモリセルのアドレスが入力されると、該メモリセルに代わって冗長行メ

モリセル領域の活性化されたワード線R WL 2に繋がるメモリセルにアクセスされる。

【0067】

図6に示すように、列アドレスコンパレータ28は、列アドレスラッチ回路から出力される内部行アドレス信号ALY0～ALYm, ALY0B～ALYmBと、不良情報格納回路25に格納された不良列アドレス信号RY0～RYm, RY0B～RYmBの排他的論理和をビット毎に出力するEXORゲート281₀～281_{2m}を備えた構成である。

【0068】

また、本実施形態の冗長列デコーダ30は、従来の冗長列デコーダの構成に加えて、図6に示したEXORゲート281₀～281_{2m}の出力信号によりo_n／o_{f f}が制御される、ドレイン及びソースがそれぞれ共通に接続された冗長列デコーダトランジスタ282₀～282_{2m}と、制御回路から送出されるプリチャージ信号Pyrdによりo_n／o_{f f}が制御される、冗長列デコーダトランジスタ282₀～282_{2m}のドレインにそれぞれ電源電圧VDDを供給するプリチャージトランジスタ283と、プリチャージトランジスタ283の出力信号、及びデバイス情報格納回路26から出力されるDSL信号の論理積を出力する論理積ゲート284とを有する構成である。なお、冗長列デコーダトランジスタ282₀～282_{2m}のソースはそれぞれ接地されている。

【0069】

このような構成では、図5に示した行アドレスコンパレータ28及び冗長行デコーダ29と同様に、不良と判定されたメモリセルに対応する列アドレス信号A0～Amが入力されると、列アドレスコンパレータ28が有するEXORゲート281₀～281_{2m}から“Low”が出力され、冗長列デコーダトランジスタ282₀～282_{2m}がそれぞれo_{f f}して、冗長列デコーダトランジスタ282とプリチャージトランジスタ283の接続ノードN2が“High”(VDD)になるため、論理積ゲート284の出力信号RYS2が活性化される。論理積ゲート284の出力線は冗長列メモリセル領域のビット線であるため、不良と判定されたメモリセルのアドレスが入力されると、該メモリセルに代わって冗長列メモ

リセル領域の活性化されたビット線RYS2に繋がるメモリセルにアクセスされる。

【0070】

次に、上記構成の揮発性メモリを有する本発明のメモリモジュールの電気的試験の処理手順について図面を用いて説明する。

【0071】

図7は本発明のメモリモジュールの電気的試験の処理手順を示すフローチャートである。

【0072】

図7に示すように、本発明のメモリモジュールの電気的試験では、従来と同様に、最初にメモリモジュールの基板上に搭載された不揮発性メモリ(E²PRO M)に対して所定のデータを書き込み、書き込んだデータを読み出してその内容を検証する(ステップS31)。

【0073】

次に、同一基板上に搭載された複数の揮発性メモリの試験を実施する(ステップS32)。そして、試験の結果から不良の有無を確認し(ステップS33)、不良が発見されない場合(パス)は、メモリモジュールが完成する。また、不良が発見された場合は、不良が発生した揮発性メモリの不良デバイス情報、及び不良が検出された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレスをそれぞれ不揮発性メモリに書き込み(ステップS34)、メモリモジュールを完成する。

【0074】

したがって、本発明によれば、メモリモジュールの電気的試験で揮発性メモリのメモリセルに不良が発見されても、その不良メモリセルを救済することが可能になるため、メモリモジュールの歩留まりが向上する。また、不良が発見された揮発性メモリの交換や廃棄を行う必要が無くなるため、作業時間の増大によるメモリモジュールのコストの上昇を抑制できる。

【0075】

なお、本発明では、不良デバイス情報及び不良アドレス情報を不揮発性メモリ

に予め格納しておき、システムの立ち上げ時にそれらの情報を揮発性メモリへ転送して保持する方法を提案しているが、メモリモジュールを救済する他の方法として、例えば、不良デバイス情報及び不良アドレス情報を揮発性メモリへ転送することなく、不揮発性メモリ内にそのまま格納しておき、揮発性メモリに対するアクセスがある毎に不揮発性メモリからそれらの情報を読み出す方法も考えられる。また、揮発性メモリ内に不良アドレス情報を保持する不揮発性のレジスタを備え、該レジスタからそれらの情報を読み出すことで不良メモリセルの救済を行う方法も考えられる。

【0076】

しかしながら、不揮発性メモリに毎回アクセスする方法では揮発性メモリに対するデータの書き込み／読み出し時間が長くなっている揮発性メモリへデータを読み書きするためのアクセス時間が遅くなる問題がある。一方、揮発性メモリ内に設けたレジスタに不良アドレス情報を格納しておく方法では、レジスタに対するアクセス時間が必要になるため、レーザ光で溶断可能な複数のヒューズ素子で冗長メモリセルへアクセスするための情報を保持する方法に比べて不揮発性メモリに対するアクセス時間が長くなる問題がある。

【0077】

本発明では、メモリモジュールを搭載するシステムの立ち上げ時に、不揮発性メモリに格納された不良デバイス情報、不良行アドレス、及び不良列アドレスを揮発性メモリへ転送するため、以降、不揮発性メモリに対するアクセスが不要になり、揮発性メモリへのアクセス時間の遅れが最小限に抑制される。

【0078】

一般に、揮発性メモリには不良メモリセルを救済するために5000本を超える上記ヒューズ素子が設けられている。このヒューズ素子に対するレーザトリミング工程は、例えばレーザ光の代わりに電気的に溶断させるヒューズ素子に比べて処置が容易であり、トリミング後の動作は、例えばトランジスタによるスイッチ素子に比べて非常に安定している。また、揮発性メモリ内に不良アドレス情報を保持する不揮発性のレジスタを備える方法に比べて、レジスタに対するアクセス時間が不要であるため、高速に動作する利点もある。したがって、メモリ単体

における不良メモリセルの救済において、レーザトリミング処理は、今後も主流であり続けると思われる。

【0079】

本発明では、揮発性メモリ単体でレーザトリミング処理を実施して不良メモリセルを救済するだけでなく、不揮発性メモリに格納された不良デバイス情報、不良行アドレス信号、及び不良列アドレス信号を、システムの立ち上げ時にシステムが備えたメモリ制御回路を介して揮発性メモリへ転送し、不良情報格納回路25及びデバイス情報格納回路26で保持することで、メモリモジュールの製造終了後における不良メモリセルの救済も可能にするため、揮発性メモリに対するアクセス時間の遅れを最小限に抑制しつつ、メモリモジュールの歩留まりを向上させている。

【0080】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0081】

電気的試験で不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに不良と判定された揮発性メモリを判別するための不良デバイス情報を不揮発性メモリへ格納しておき、メモリモジュールが搭載されたシステムの立ち上げ時に、不揮発性メモリに格納された不良行アドレス、不良列アドレス、及び不良デバイス情報を揮発性メモリへ転送し、該揮発性メモリで、転送された不良行アドレス、不良列アドレス、及び不良デバイス情報をそれぞれ保持し、揮発性メモリで保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて、不良と判定された揮発性メモリのメモリセルに對応するアドレスが入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスすることで、メモリモジュールの電気的試験で揮発性メモリのメモリセルに不良が発見されても、その不良メモリセルを救済することが可能になるため、メモリモジュールの歩留まりが向上する。また、不良が発見された揮発性メモリの交換や廃棄を行う必要が無くなるため、作業時間の増大によるメモリモジ

ュールのコストの上昇が抑制される。

【図面の簡単な説明】

【図1】

本発明のメモリモジュールに搭載される揮発性メモリの一構成例を示すブロック図である。

【図2】

図1に示した揮発性メモリに格納される不良デバイス情報及び不良アドレス情報のビット配列を示す模式図である。

【図3】

図1に示した不良情報格納回路及びデバイス情報格納回路の一構成例を示す回路図である。

【図4】

図1に示した揮発性メモリに対する不良デバイス情報及び不良アドレス情報の格納タイミングを示すフローチャートである。

【図5】

図1に示した行アドレスコンパレータ及び冗長行デコーダの一構成例を示す回路図である。

【図6】

図1に示した列アドレスコンパレータ及び冗長列デコーダの一構成例を示す回路図である。

【図7】

本発明のメモリモジュールの電気的試験の処理手順を示すフローチャートである。

【図8】

メモリモジュールの一構成例を示す平面図である。

【図9】

メモリモジュールの他の構成例を示す側面図である。

【図10】

従来の揮発性メモリの構成を示すブロック図である。

【図11】

図10に示した初期設定レジスタ及びコマンドデコーダの構成を示す回路図である。

【図12】

図10に示した初期設定レジスタ及びコマンドデコーダの動作の様子を示すタイミングチャートである。

【図13】

図10に示した冗長行デコーダの構成を示す回路図である。

【図14】

図10に示した冗長列デコーダの構成を示す回路図である。

【図15】

メモリモジュールの一般的な製造手順を示すフローチャートである。

【図16】

図15に示した従来のメモリモジュールの電気的試験の処理手順を示すフローチャートである。

【符号の説明】

25 不良情報格納回路

26 デバイス情報格納回路

27 行アドレスコンパレータ

28 列アドレスコンパレータ

29 冗長行デコーダ

30 冗長列デコーダ

251～253、255～257、263、265、274、284 論理

積ゲート

254 遅延回路

258 不良行アドレス格納レジスタ

259 不良列アドレス格納レジスタ

261、262 ラッチ回路

264 バッファ回路

266 デバイス情報格納レジスタ

$271_0 \sim 271_{2m}$ 、 $281_0 \sim 281_{2m}$ EXORゲート

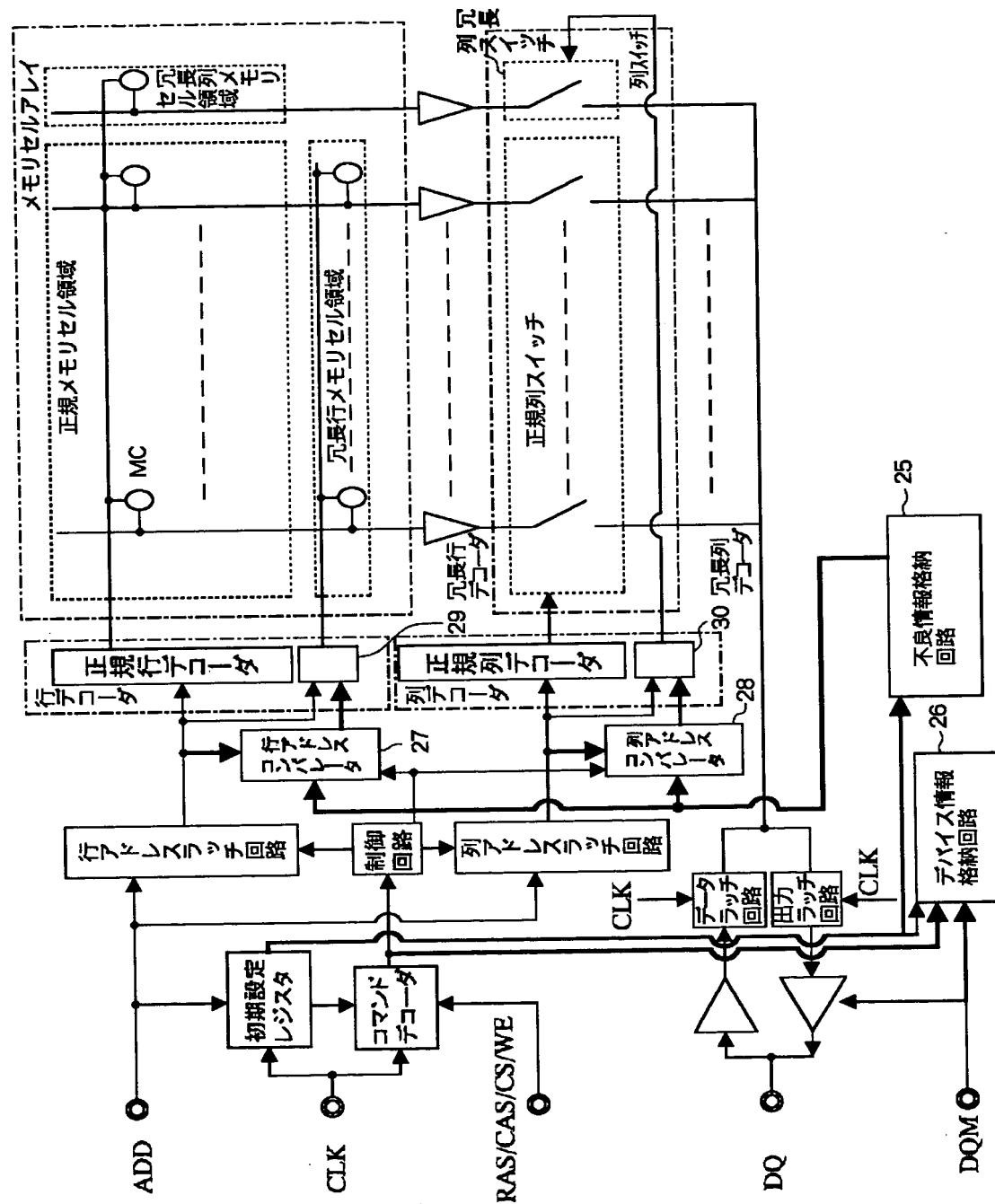
$272_0 \sim 272_{2m}$ 冗長行デコーダトランジスタ

273、283 プリチャージトランジスタ

$282_0 \sim 282_{2m}$ 冗長列デコーダトランジスタ

【書類名】 図面

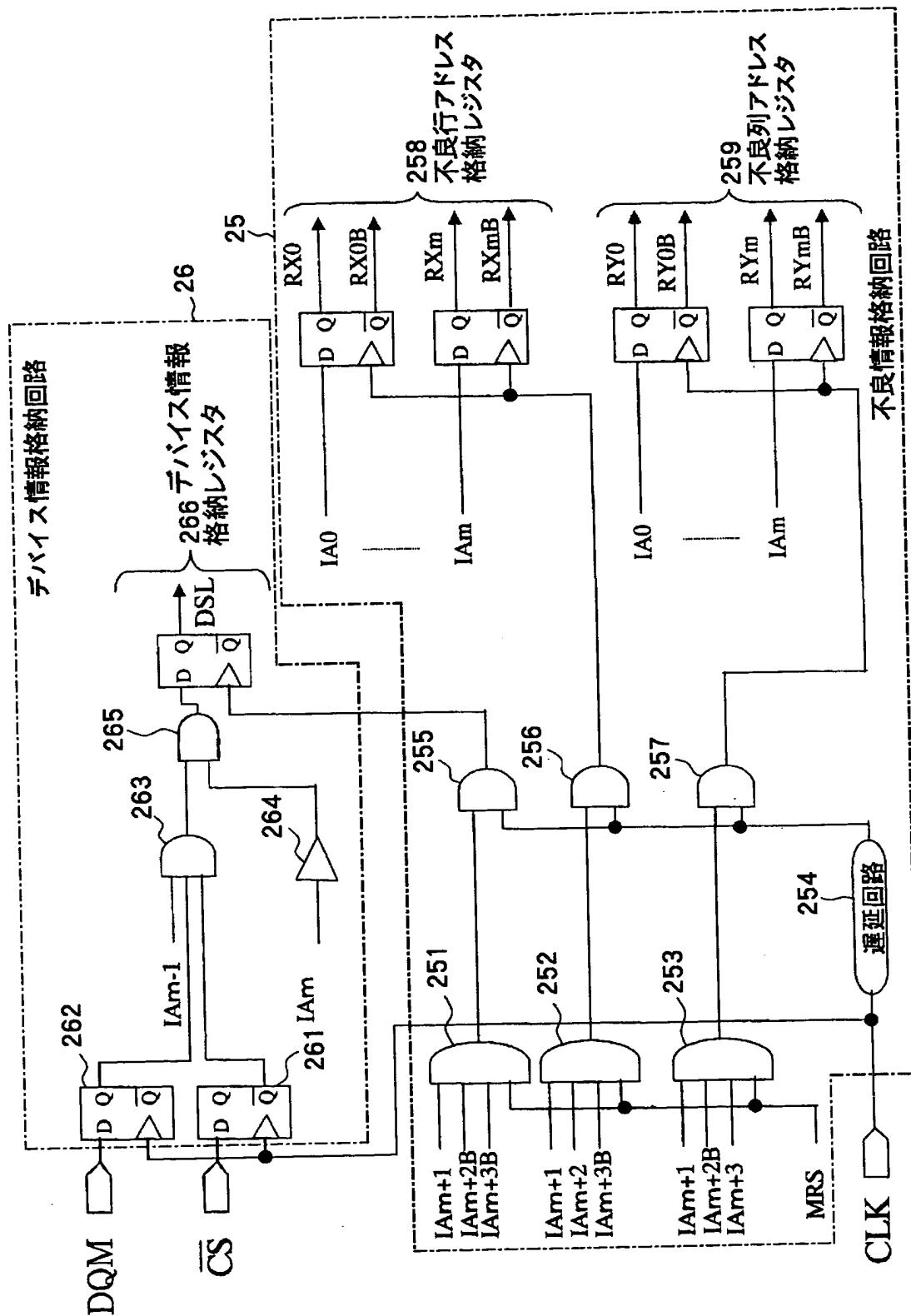
【図1】



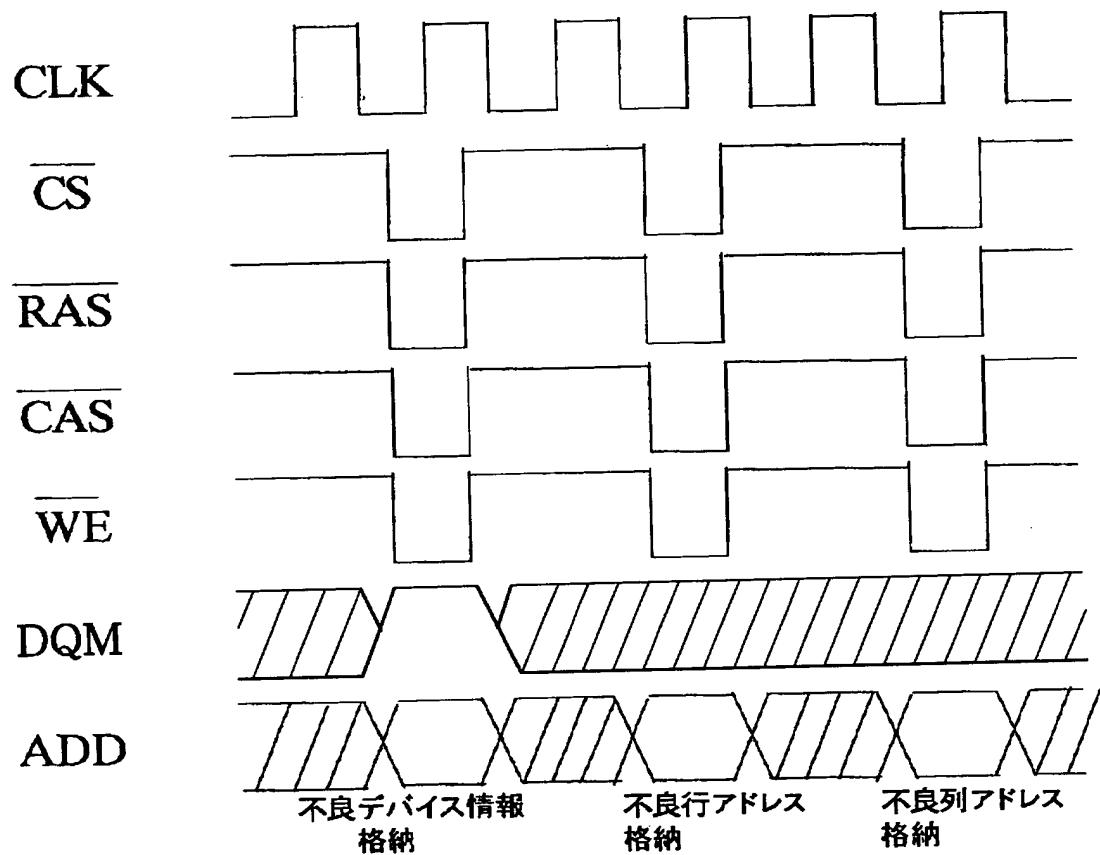
【図2】

	Am	Am+3	Am+2	Am+1	Am	Am-1	---	A0
不良デバイス 情報格納時	0	0	0	1			
不良行アドレス 情報格納時	0	0	1	1			
不良列アドレス 情報格納時	0	1	0	1			

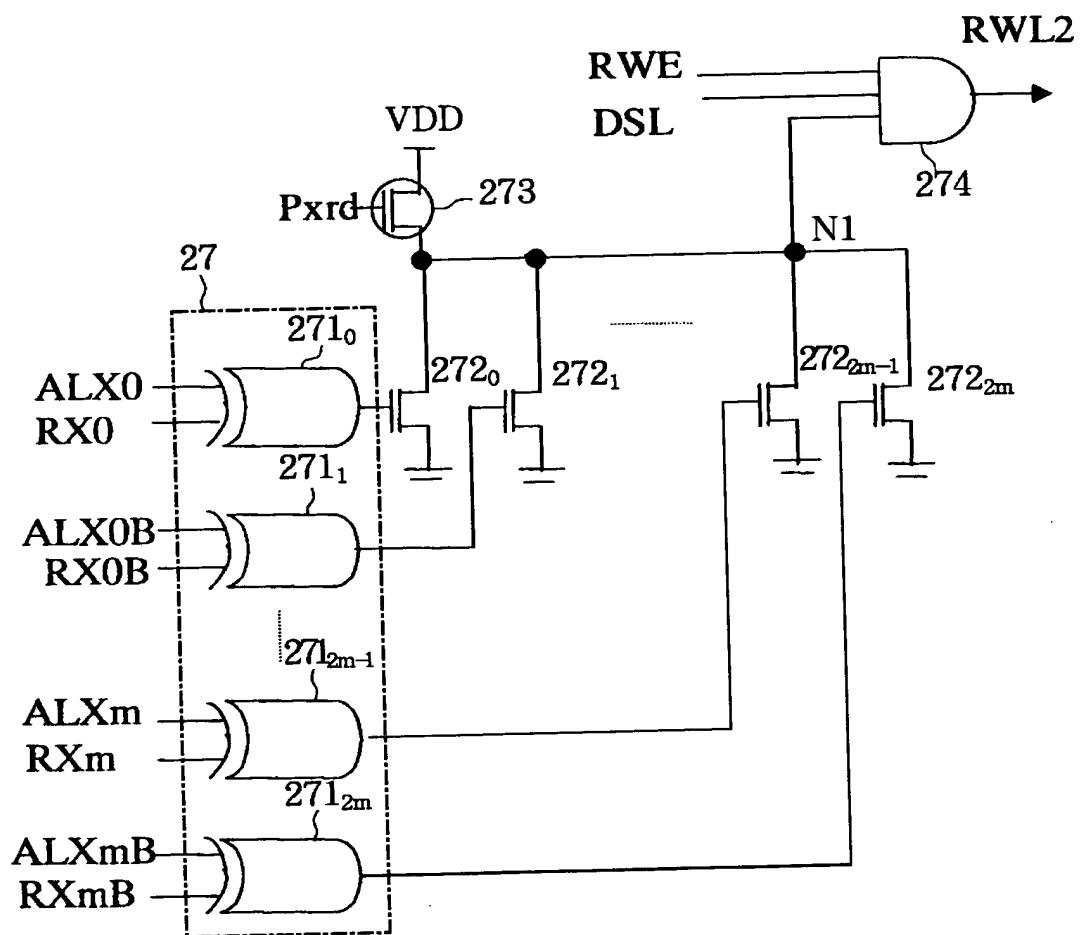
【図3】



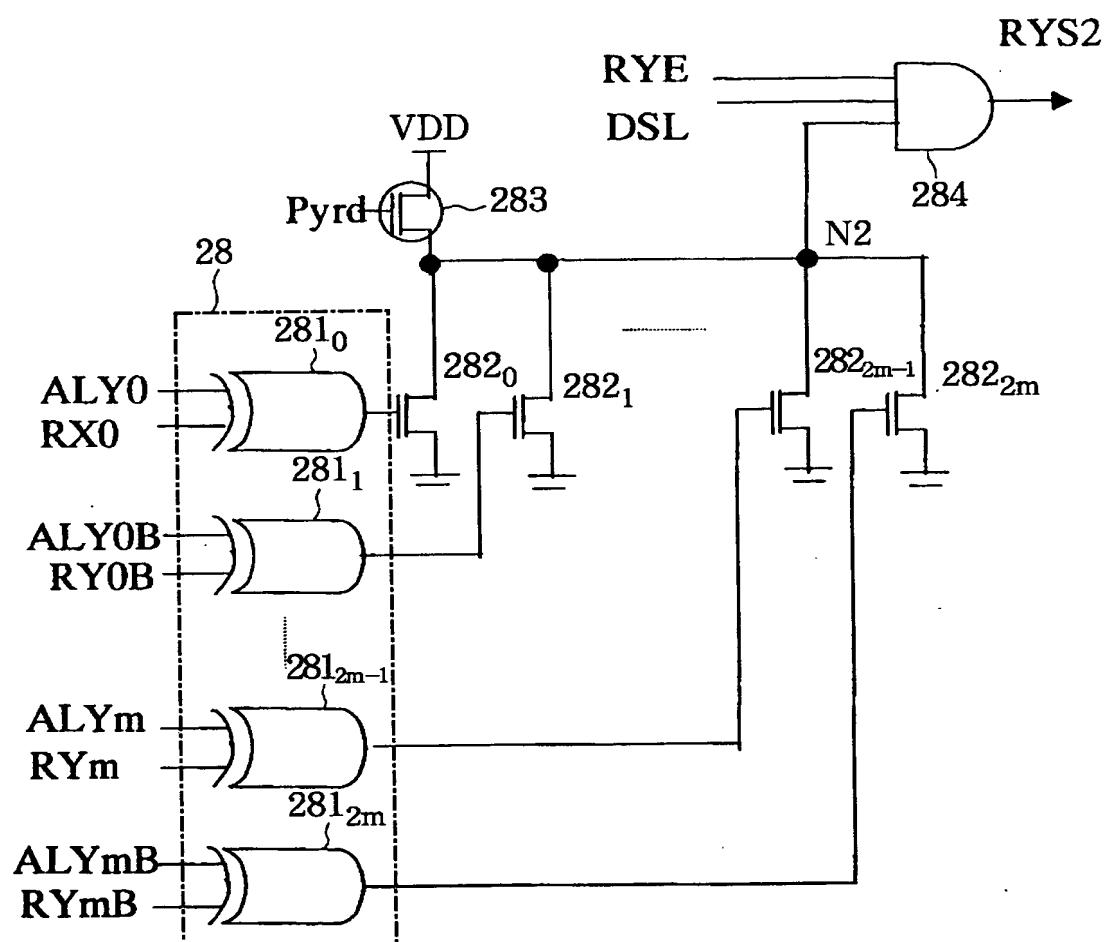
【図4】



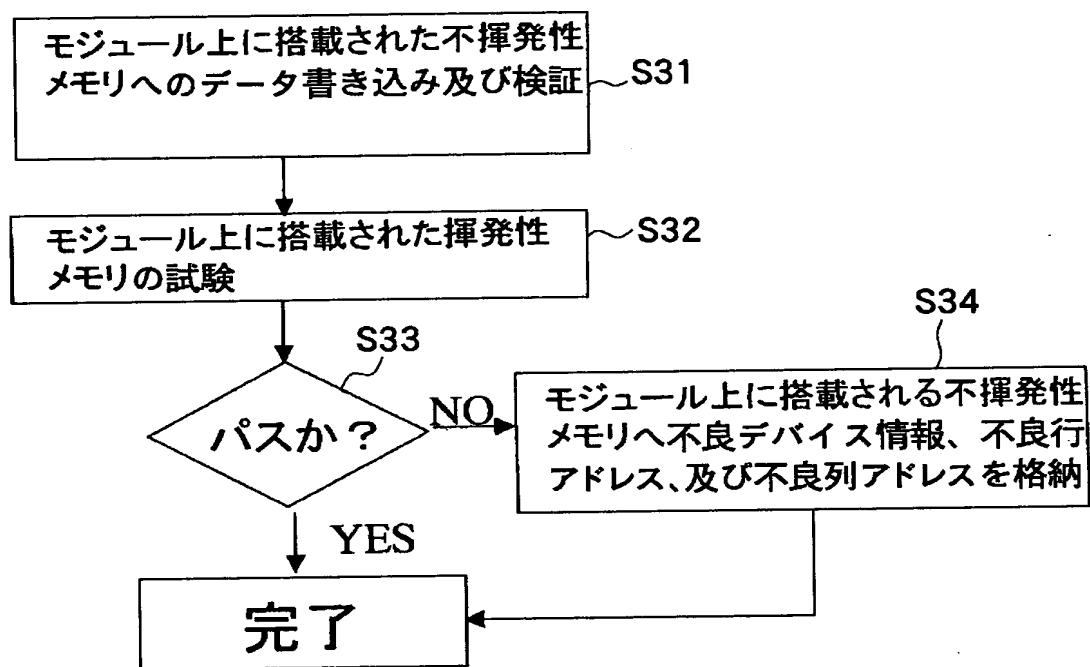
【図5】



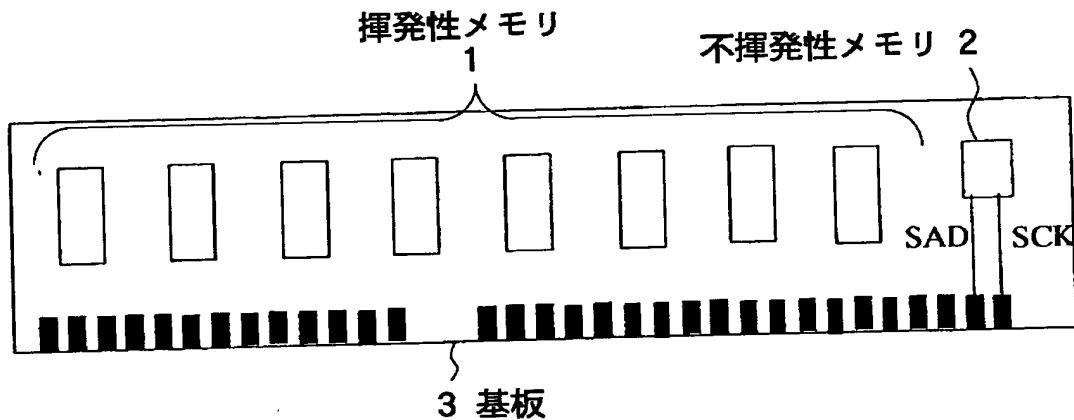
【図6】



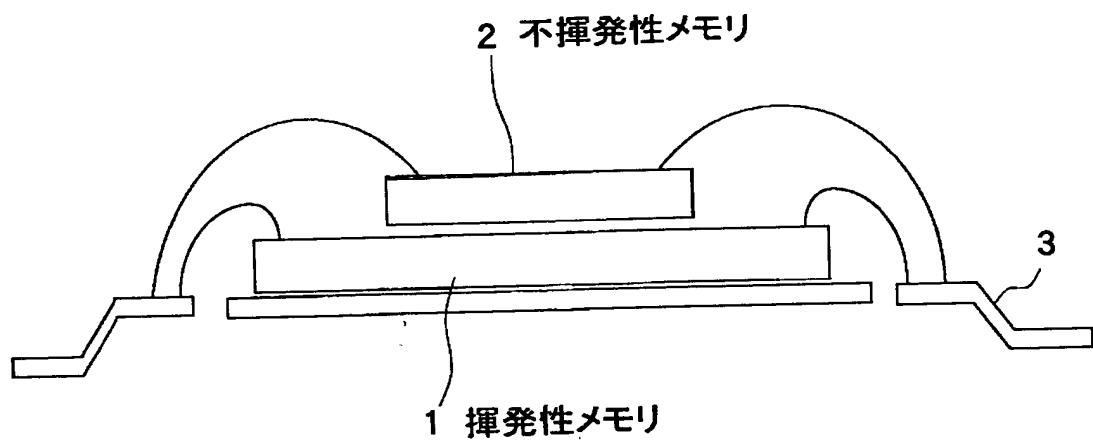
【図7】



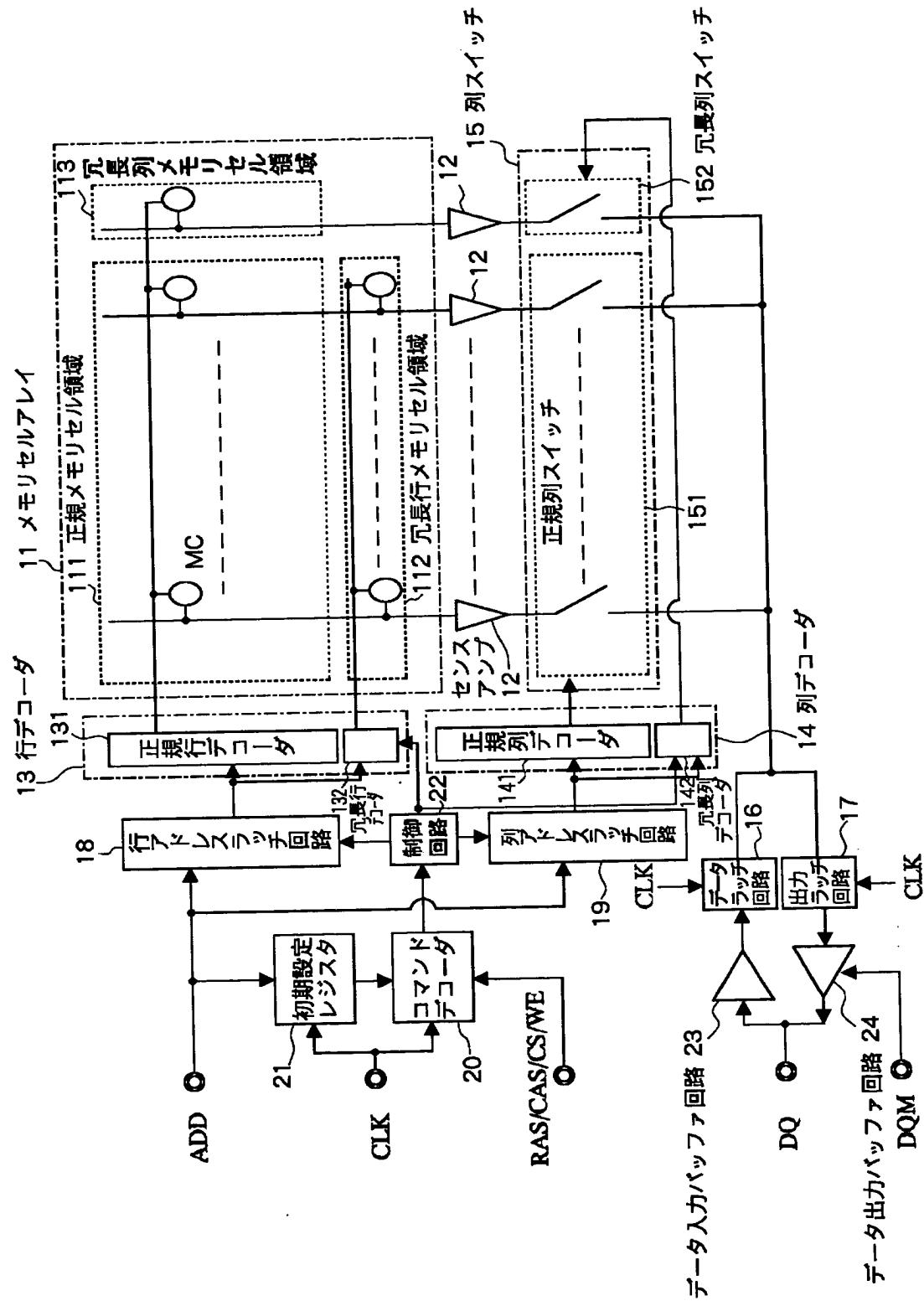
【図8】



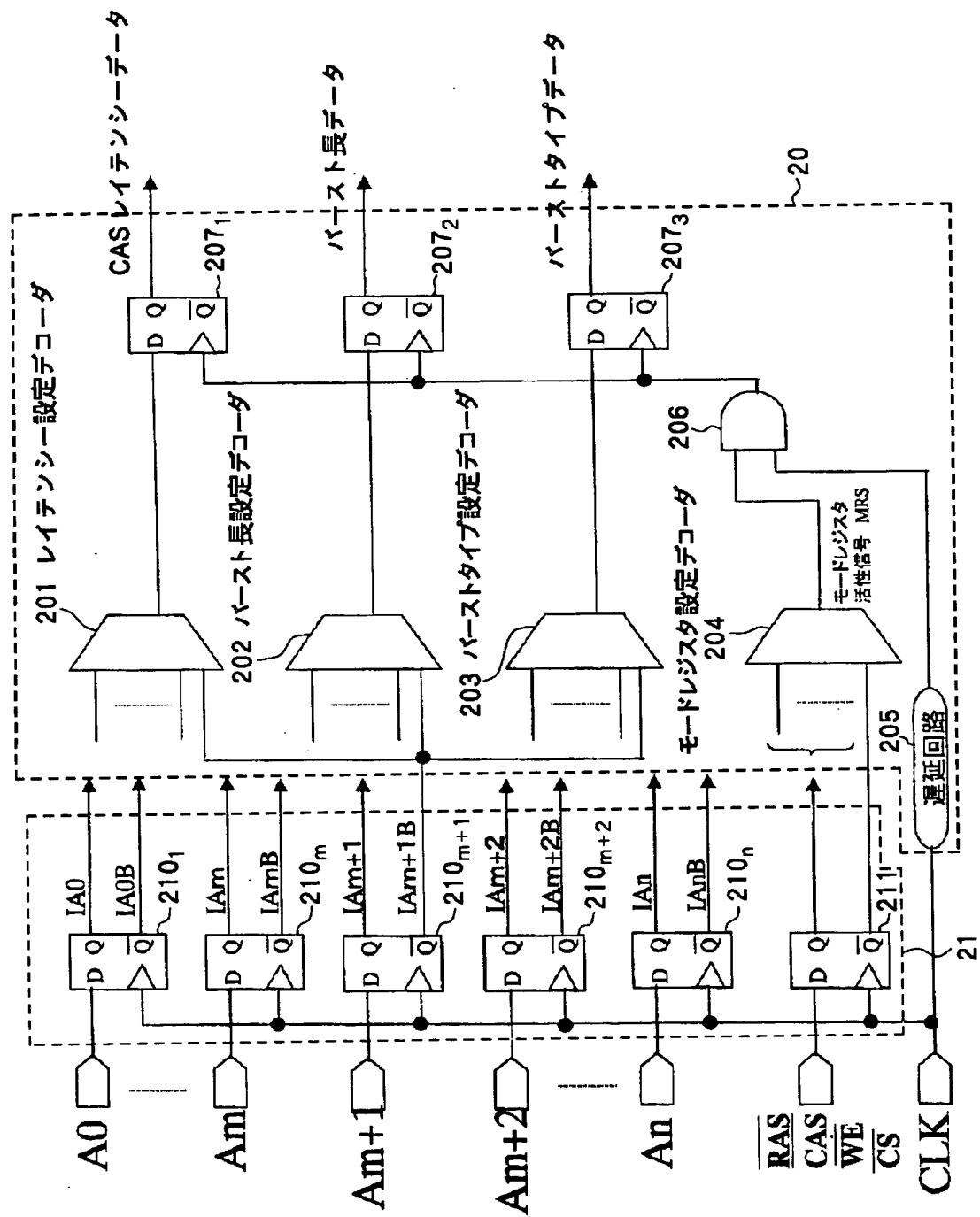
【図9】



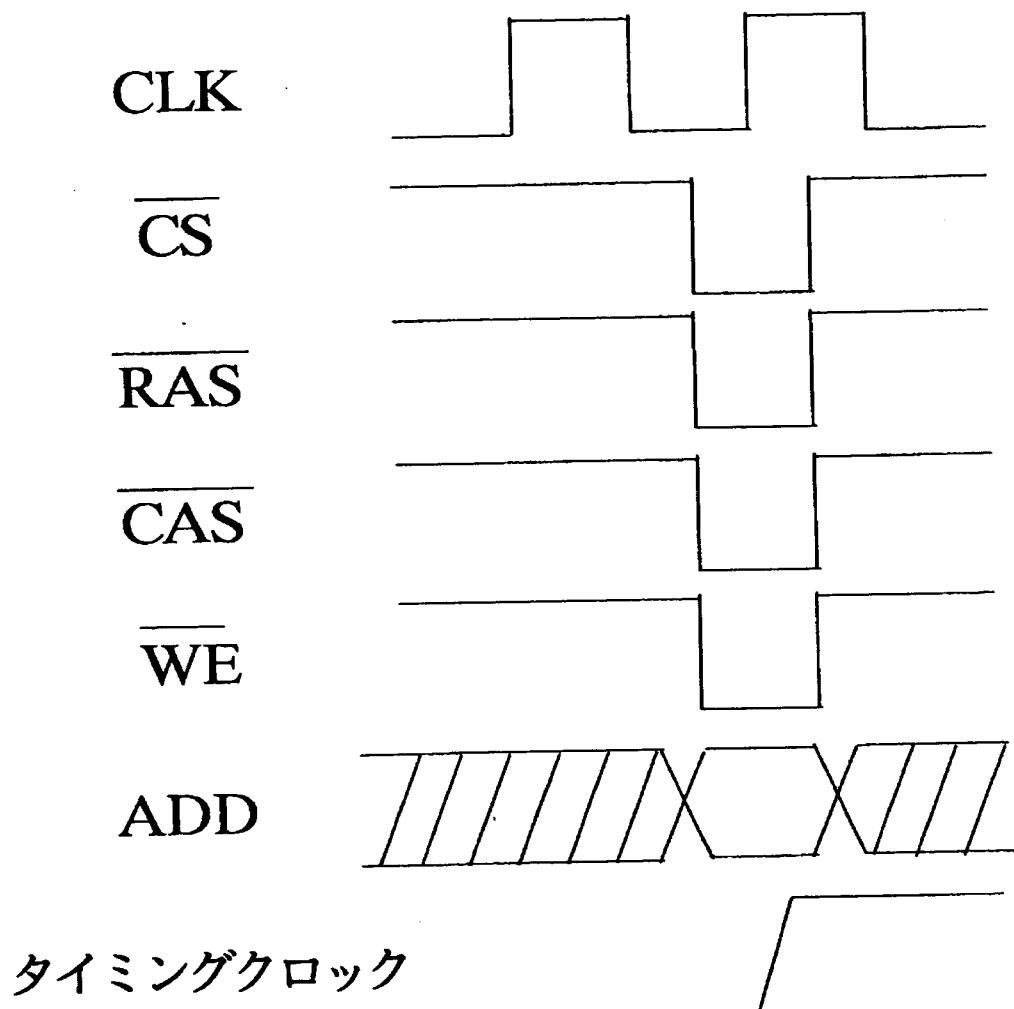
【図10】



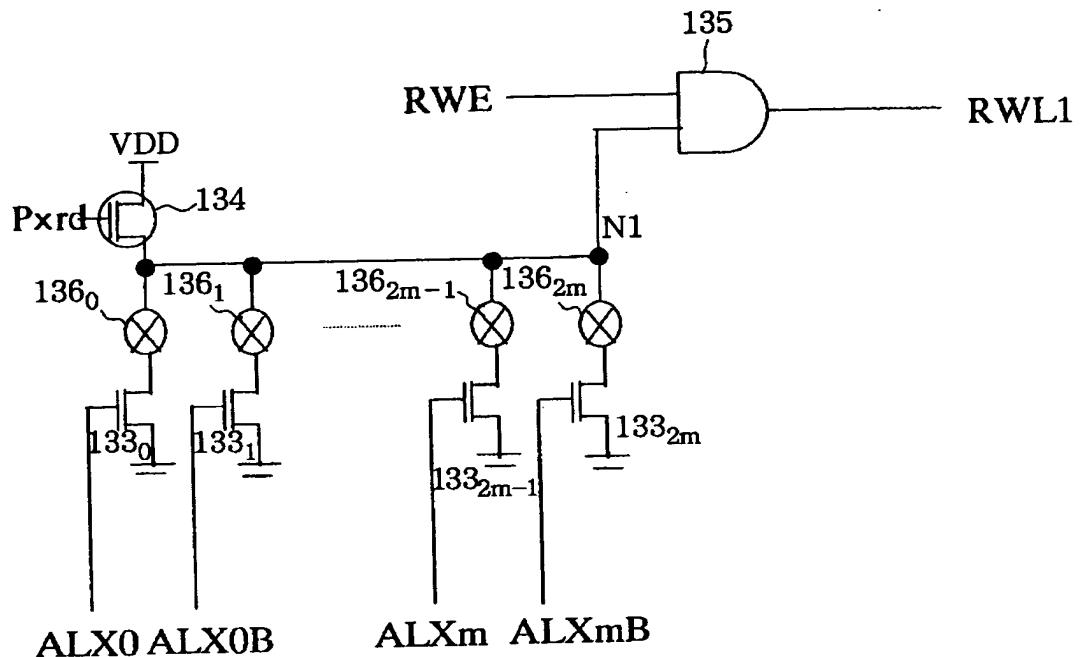
【図11】



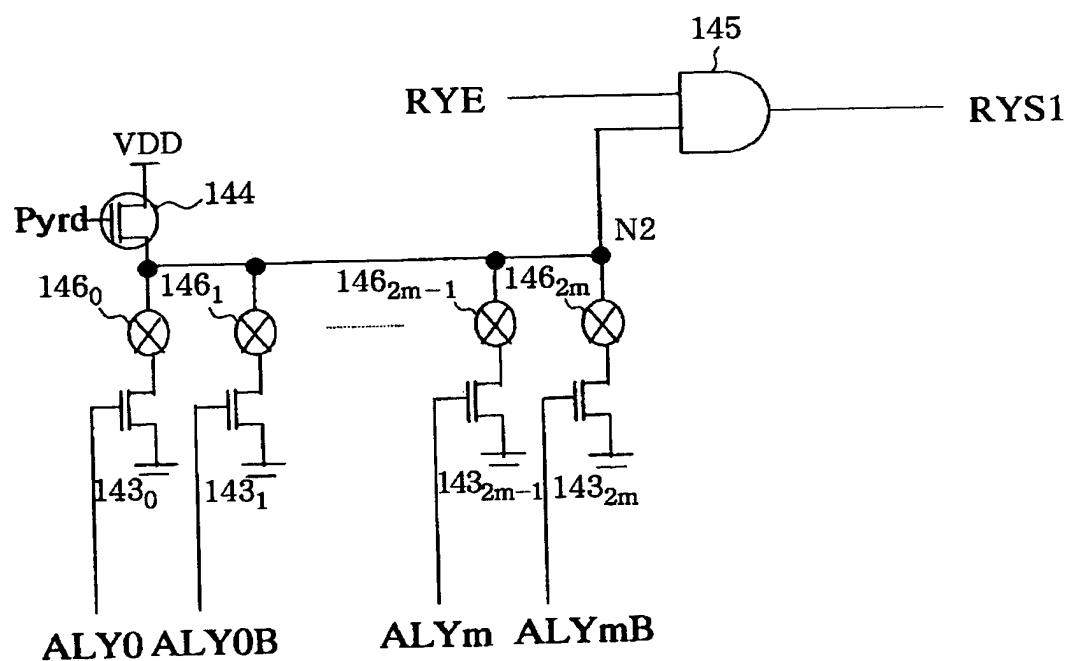
【図12】



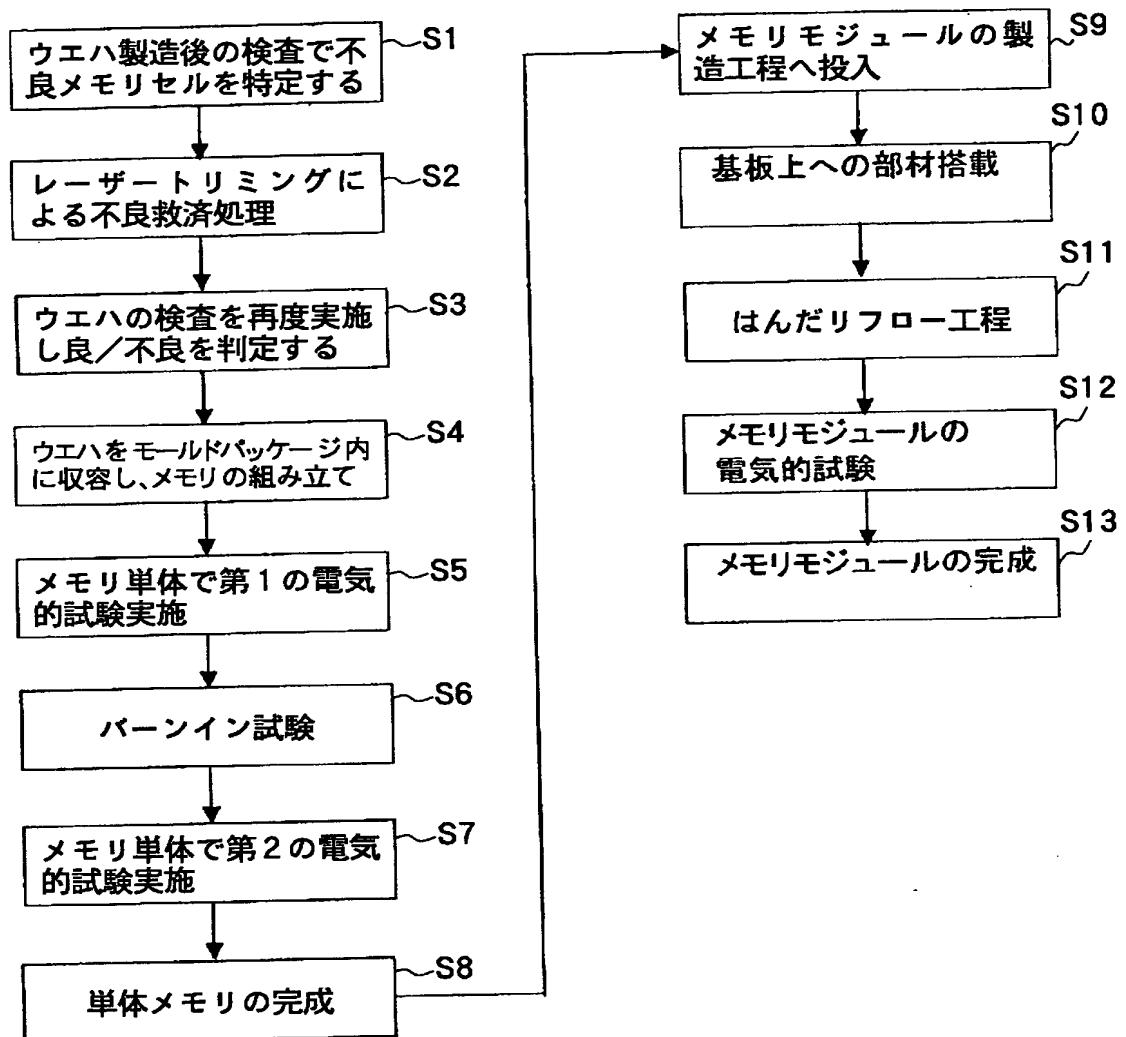
【図13】



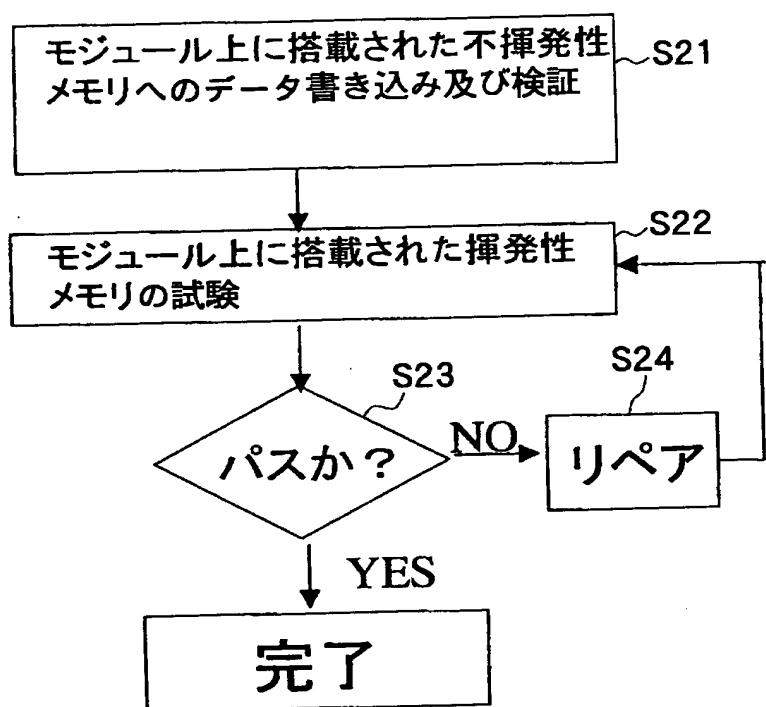
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 メモリモジュールの電気的試験で不良と判定された揮発性メモリを交換することなく、不良メモリセルの救済が可能なメモリモジュールの救済方法及びメモリモジュールを提供する。

【解決手段】 不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに不良と判定された揮発性メモリを判別するための不良デバイス情報を不揮発性メモリへ格納しておき、システムの立ち上げ時に、不揮発性メモリに格納された不良行アドレス、不良列アドレス、及び不良デバイス情報を揮発性メモリへ転送し、該揮発性メモリで、それらの情報を保持し、揮発性メモリで保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて不良と判定された揮発性メモリのメモリセルに対応するアドレスが入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスする。

【選択図】 図1

出願人履歴情報

識別番号 [500174247]

1. 変更年月日 2000年 7月12日

[変更理由] 名称変更

住 所 東京都中央区八重洲2-2-1
氏 名 エルピーダメモリ株式会社